

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-014914

(43)Date of publication of application : 18.01.2002

(51)Int.Cl.

G06F 13/42

G06F 1/12

(21)Application number : 2000-196868

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 29.06.2000

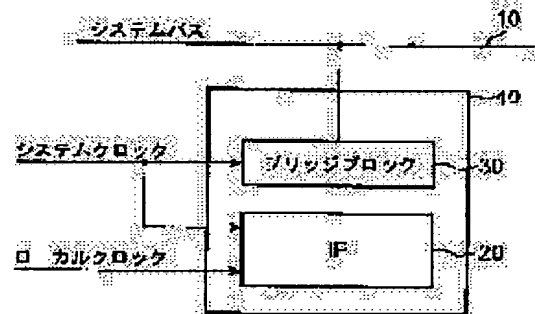
(72)Inventor : HASEGAWA SHINYA

(54) FUNCTION BLOCK

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce load added to the re-user of IP (function bloc), which is to develop a complicated bridge block, by taking in a system clock into IP.

SOLUTION: At the time of reusing IP based on standard in the development of LSI incorporating IP and the development of the derivative of LSI, a synchronizing circuit and an IP function circuit are integrated as IP 20. Thus, the system clock is taken into IP 20 and the re-user can load IP 20 on LSI through a simple bridge block 30 considering only the system clock driving a system bus 10. Then, load on IP operability is reduced and reusability as IP can be improved.



LEGAL STATUS

[Date of request for examination]

21.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

CLAIMS

[Claim(s)]

[Claim 1] It is functional block characterized by defining the aforementioned timing of operation by having the synchronous circuit which defines the timing of operation which delivers a signal between the functional circuit which synchronizes with a local clock, and the system bus which synchronizes with a system clock and the aforementioned functional circuit, and the aforementioned synchronous circuit's inputting the aforementioned system clock and the aforementioned local clock, and deciding the access time from the aforementioned system clock.

[Claim 2] The aforementioned synchronous circuit is functional block according to claim 1 characterized by defining the aforementioned timing of operation by inputting the aforementioned system clock and the aforementioned local clock, and generating the completion signal of access of the aforementioned functional circuit from the aforementioned system clock.

[Claim 3] The aforementioned completion signal of access is functional block according to claim 2 characterized by being generated by comparing the output and frequency-assignment signal of the aforementioned counter using the counter and comparator circuit which are

started synchronizing with the aforementioned system clock.

[Claim 4] Functional block characterized by having the synchronous circuit which defines the timing of operation which delivers a signal between the functional circuit which synchronizes with a local clock, and the system bus which synchronizes with a system clock and the aforementioned functional circuit, and unifying the aforementioned functional circuit and the aforementioned synchronous circuit.

[Claim 5] The claim 1 characterized by making frequency of the aforementioned system clock adjustable in the aforementioned synchronous circuit, or functional block of any one publication of four.

[Claim 6] The aforementioned synchronous circuit is the claim 1 characterized by defining the timing of operation by the kind of the aforementioned system bus which delivers a signal between the aforementioned system bus and the aforementioned functional circuit **, or functional block of any one publication of four.

[Claim 7] The means which makes frequency of the aforementioned system clock adjustable is functional block according to claim 5 characterized by being made by inputting a frequency-assignment signal into the aforementioned synchronous circuit.

[Claim 8] The claim 1 characterized by generating the design data of register transfer level automatically by giving the frequency of the aforementioned system clock, or functional block of any one publication of seven.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the synchronous circuit which delivers a signal between IP functional circuit and a system bus using two different clocks which consist of local clocks which drive IP functional circuit which starts the design of IP (Intellectual Property: intellectual property), especially is built in LSI, and system clocks which drive a system bus. Moreover, IP functional circuit and a synchronous circuit are unified and it is used for the design of LSI as IP (functional block).

[0002]

[Description of the Prior Art] There are a thing depending on a system bus and a thing which does not depend in the design of the conventional IP. The design of the conventional IP is explained using drawing 6. The example of a design of the conventional IP depending on a system bus is shown in drawing 6. 1 is a system bus which transmits the I/O signal of IP, and operates synchronizing

with a system clock. Moreover, 2 is IP made into the object of a design, and operates synchronizing with a system clock and a local clock.

[0003] In the design of the conventional IP shown in drawing 6, since IP 2 self is designed depending on the specific system bus 1, in case IP 2 is reused to the design of LSI equipped with the specific system bus 1, IP 2 can be used as it is, without caring about a difference of the frequency of a system clock and a local clock.

[0004] However, since IP vender needs to prepare IP according to various system buses individually, the efficiency as an IP vender falls. In order to avoid this, as conventionally shown in drawing 7, the design of IP independent of a system bus has been used.

[0005] In drawing 7, IP 3 is connected to a system bus 1 through the bridge block 4 which is the circuit which synchronizes only with a local clock and absorbs a difference of a system clock and a local clock. That is, the circuit 5 which consists of IP 3 and bridge block 4 is connected to the system bus 1 which synchronizes with a system clock.

[0006] A bridge block is a circuit block which delivers a signal between the bus of IP which synchronizes with a local clock, and the system bus which synchronizes with a system clock here, and the circuit which synchronizes with a local clock and a system clock,

respectively is included.

[0007] However, since the standpoint of a local clock of usually having two or more clocks needs to take a system clock and a synchronization in various modes and it is necessary to set the persistence time of the high level of these local clocks, or a low level etc. to various length according to the function of IP as shown by the vertical dashed line and vertical alternate long and short dash line of drawing 8, for example, the design of a bridge block will become complicated.

[0008] A bridge block is developed by the reuse person of IP. Therefore, in the design of IP using the bridge block generally performed conventionally, in order that a bridge block might absorb a difference of a clock, the big load for developing the complicated synchronous circuit which constitutes a bridge block joined the reuse person of IP, and the problem that a development cycle became long was produced.

[0009]

[Problem(s) to be Solved by the Invention] As described above, when designing IP depending on a system bus in the design of the conventional IP, IP vender had the problem that the big load of developing the complicated bridge block which absorbs a difference of a system clock and a local clock joined the reuse person of IP, in order to design IP which needs to prepare IP which corresponds to various system buses

individually, and is not dependent on a system bus.

[0010] It was made that this invention should solve the above-mentioned trouble, and aims at mitigating the load which develops the bridge block which joins the reuse person of IP by incorporating a system clock in IP.

[0011]

[Means for Solving the Problem] In the development of LSI and the descendant article development of LSI whose IP (functional block) of this invention builds in IP In case IP of specification conformity is reused, the synchronous circuit and IP functional circuit by which the system clock was incorporated A system clock is incorporated in IP by unifying as IP. A reuse person is enabled to carry Above IP in LSI using the simple bridge block only in consideration of the system clock, and it is characterized by mitigating the load on IP handling which joins the reuse person of IP, and raising the reusability as IP.

[0012] Specifically, functional block of this invention is equipped with the synchronous circuit which defines the timing of operation which delivers a signal between the functional circuit which synchronizes with a local clock, and the system bus which synchronizes with a system clock and the aforementioned functional circuit, the aforementioned synchronous circuit inputs the aforementioned system clock

and the aforementioned local clock, and it is characterized by defining the aforementioned timing of operation by deciding the access time from the aforementioned system clock.

[0013] Preferably, the aforementioned synchronous circuit inputs the aforementioned system clock and the aforementioned local clock, and is characterized by defining the aforementioned timing of operation by generating the completion signal of access of the aforementioned functional circuit from the aforementioned system clock.

[0014] Moreover, the aforementioned completion signal of access is preferably characterized by being generated by comparing the output and frequency-assignment signal of the aforementioned counter with the counter started synchronizing with the aforementioned system clock using a comparator circuit.

[0015] Functional block of this invention is characterized by having the synchronous circuit which defines the timing of operation which delivers a signal between the functional circuit which synchronizes with a local clock, and the system bus which synchronizes with a system clock and the aforementioned functional circuit, and unifying the aforementioned functional circuit and the aforementioned synchronous circuit.

[0016] In the aforementioned synchronous circuit, it is preferably characterized by making frequency of the aforementioned system clock adjustable. Moreover, the aforementioned synchronous circuit is characterized by defining the timing of operation by the kind of the aforementioned system bus which delivers a signal between the aforementioned system bus and the aforementioned functional circuit **.

[0017] Moreover, the means which makes frequency of the aforementioned system clock adjustable preferably is characterized by being made by inputting a frequency-assignment signal into the aforementioned synchronous circuit.

[0018] Moreover, in functional block of this invention, it is characterized by generating the design data of register transfer level automatically by giving the frequency of the aforementioned system clock.

[0019]

[Embodiments of the Invention]
Hereafter, with reference to a drawing, the form of operation of this invention is explained in detail. Drawing 1 or drawing 4 is drawing showing the design of IP (functional block) which unified IP functional circuit concerning the form of operation of the 1st of this invention, and its synchronous circuit. In the form of operation of this invention, IP is the intellectual property of functional block equipped with the specific function which

LSI builds in, and on the occasion of development of LSI and its descendant article, all the data about the design of functional block which requires a long development cycle etc. are succeeded as intellectual property, and are reused by development of a new product.

[0020] If IP which consists of an IP functional circuit stated with the form of the following operations and its synchronous circuit is used, in case functional block as IP will be reused to LSI and its descendant article development, a deployment of the known intellectual property succeeded about the design of IP etc. can be aimed at, and it can contribute to curtailment of development cost.

[0021] The outline of IP design which uses drawing 1 and first takes for the form of the 1st operation is explained. In the design of IP shown in drawing 1, IP (functional block) 20 which incorporates a system clock and operates with a local clock is connected to the bridge block 30 which synchronizes only with a system clock, and the circuit 40 which consists of IP 20 and bridge block 30 is connected to the system bus 10 which synchronizes with a system clock.

[0022] By the design of IP of this invention shown in drawing 1, since the synchronization of a system clock and a local clock is taken inside IP 20, unlike the conventional bridge block 4 (refer to drawing 7), by the bridge block 30 of this

invention, since what is necessary is to take only a system clock into consideration, the design of a bridge block becomes easy, and a development cycle can be shortened.

[0023] Next, the composition of IP 20 which starts the form of the 1st operation using drawing 2 is explained. IP 20 shown in drawing 2 consists of an IP functional circuit 21 which synchronizes with a local clock, and a synchronous circuit 22 which incorporates a system clock and synchronizes with a local clock.

[0024] IP In the stage of designing 20, the frequency of a system clock is strange. Then, IP corresponding to the frequency of various system clocks can be designed by incorporating the information on a system clock (for example, the predetermined number of clocks) using frequency-assignment signal [of a system clock] A [n:0] (n being the natural number) to the synchronous circuit 22 by which internal organs are carried out to IP 20, and adjusting the system clock and local clock of IP 20 through frequency-assignment signal A [n:0].

[0025] Frequency-assignment signal [of a system clock] A [n:0] is given from the external pin of LSI which uses IP 20 or the internal pull-up (connection with internal supply voltage level) of LSI, pulldown (connection with grounding level) one, or the bridge block 30. If frequency-assignment signal [of a system clock] A [n:0] is given from the bridge

block 30, it will enable a system clock to correspond also to the system which is adjustable.

[0026] Next, operation of the synchronous circuit 22 contained in IP 20 using drawing 3 and drawing 4 is explained. The timing wave of a system clock is shown in the best stage of drawing 3. Moreover, the timing wave of register access as a thing the IP functional circuit 21 which synchronizes with a local clock becomes [access] the 2nd step of drawing 3 or the 4th step from a register is shown. A system clock is a clock signal which takes a synchronization about the signal of the whole LSI transmitted to a system bus 10 here, and a local clock is the clock signal of register access.

[0027] For example, as shown in the 2nd step of drawing 3, or the 4th step, synchronizing with a local clock, read-out / write-in operation of a register are performed, read-out / write-in signal inputted from the IP use LSI, and a chip select signal are at the end time of this read-out / write-in operation, and the completion signal of access is returned to LSI. These operation of a series of constitutes the read-out write-in cycle of a register.

[0028] For example, in the timing wave shown in drawing 3, in the bridge block 4, the complicated synchronization needed to be taken between the system clock and the local clock, and the timing wave required for register access needed to be

generated conventionally (refer to drawing 7 and drawing 8). On the other hand, with the form of the 1st operation, a timing wave required for register access is generable using system clock and frequency-assignment signal A [n:0].

[0029] The concrete example of composition of IP 20 with which the IP functional circuit 21 equipped with such a function and its synchronous circuit 22 were united is shown in drawing 4. IP 20 consists of IP local clock mechanical components 70 with the timing counter 50 and a comparator circuit 60.

[0030] As shown in drawing 4, the timing counter 50 starts by the chip select signal, and the count of a system clock is started. The enumerated data of the timing counter 50 is compared with frequency-assignment signal A [n:0] using a comparator circuit 60, and when the comparison result reaches a fixed criterion, the completion signal of access is sent out.

[0031] On the other hand, a chip select signal starts IP local clock mechanical component 70, access to the IP functional circuit 21 (register) made into a processing object using an address data signal etc. is performed, and the data I/O cycle (read-out / write-in cycle of a register) of the IP functional circuit 21 is performed synchronizing with a local clock.

[0032] If it does in this way, by giving frequency-assignment signal A [n:0] from

the exterior, by doubling the enumerated-data [of the system clock by the counter], and end time of the data I/O cycle of the IP functional circuit 21 driven with a local clock, the completion signal of access can be sent out and the data I/O cycle of a series of IP functional circuits 21 can be completed.

[0033] The timing which incorporates the signal which serves as a key with the clock at the time of IP design since a local clock is known is also known. Then, in the circuit shown in drawing 4 , frequency-assignment signal A [n:0] is given from the exterior, and the access time is decided on the basis of the enumerated data of a system clock. For example, by measuring the timing which returns the completion signal of access to LSI, it becomes possible to adjust so that IP 20 can incorporate the effective time of a chip select signal.

[0034] Next, an operation of frequency-assignment signal A [n:0] which starts the form of the 2nd operation using drawing 5 is explained. With the form of the 1st operation, the system clock was incorporated to IP 20 using frequency-assignment signal A [n:0], and it explained generating the timing wave of the IP functional circuit 21 which operates with a local clock.

[0035] However, in the system which is not effective only when it adjusts a strange system clock and a known local clock on the occasion of the design of IP

20 and which generally operates with two clocks, the operation of frequency-assignment signal A [n:0] is effective, when it adjusts the timing of other one clock to change of one clock frequency.

[0036] For example, as shown in drawing 5 , when frequency-assignment signal A [n:0] is changed with 000, 001, 010, 011, and 100 and a system clock changes according to this with 20MHz, 40MHz, 60MHz, 80MHz, and 100MHz, the timing of a local clock can be made to follow in footsteps of a system clock using frequency-assignment signal A [n:0], respectively.

[0037] Operation of LSI which builds in such IP is effective especially when the low-power mode of operation in which low-power operation is possible is contained by reducing for example, system clock frequency as a mode of operation of LSI.

[0038] Moreover, the ratio of the high level of a square wave or a low level of frequency-assignment signal A [n:0] which constitutes a system clock is not necessarily easy also for including the information about change of the configuration of a system clock not only in the frequency of a system clock but A [n:0].

[0039] If the specification of LSI containing a system clock, IP succeeded as intellectual property, and frequency-assignment signal A [n:0] are

given in case IP is reused since a strange design data is only a system clock in case IP is designed and LSI is developed, as the form of the 1st and the 2nd operation explained, design automation of LSI in RTL (RegisterTransfer Level) can be performed at least.

[0040] In addition, this invention is not limited to the form of the above-mentioned operation. The circuit which performs synchronization which makes the clock of one two-line incorporation adjustable for a clock, the circuit which sends out the completion signal of access from IP synchronizing with a system clock are realizable using the circuits and methods other than what was explained using drawing 4 . In addition, in the range which does not deviate from the summary of this invention, it can deform variously and can carry out.

[0041]

[Effect of the Invention] By the design of the bridge block which performs synchronization with a system clock and a local clock within IP, and delivers [according to the design of IP of this invention] and receives a signal between a system bus and IP, as mentioned above, if only a system clock is taken into consideration, the design of a bridge block will become easy and it will become possible to raise the reusability of IP and its circumference functional block in the case of LSI which builds in IP, and its

descendant article development.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] Drawing showing the outline of IP design concerning the gestalt of the 1st operation.

[Drawing 2] Drawing showing the composition of IP concerning the gestalt of the 1st operation.

[Drawing 3] Drawing showing a system clock and the timing wave of register access.

[Drawing 4] Drawing showing the example of concrete composition of IP.

[Drawing 5] Drawing showing an operation of the frequency-assignment signal concerning the gestalt of the 2nd operation.

[Drawing 6] Drawing showing the design of the conventional IP.

[Drawing 7] Drawing showing the design of IP independent of the conventional system bus.

[Drawing 8] Drawing showing the relation between a system clock and a local clock.

[Description of Notations]

1 10 -- System bus

2, 3, 20 -- IP

4 30 -- Bridge block

5 -- Circuit which consists of IP and a bridge block

21 -- IP functional circuit

22 -- Synchronous circuit

40 -- Circuit which consists of IP and a
bridge block

50 -- Timing counter

60 -- Comparator circuit

70 -- IP local clock mechanical component

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-14914
(P2002-14914A)

(43) 公開日 平成14年1月18日 (2002.1.18)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
G 0 6 F 13/42	3 5 0	G 0 6 F 13/42	3 5 0 A 5 B 0 7 7
1/12		1/04	3 4 0 A

審査請求 未請求 請求項の数 8 O L (全 6 頁)

(21) 出願番号 特願2000-196868 (P2000-196868)

(22) 出願日 平成12年6月29日 (2000.6.29)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 長谷川 真也

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(74) 代理人 100058479

弁理士 餘江 武彦 (外6名)

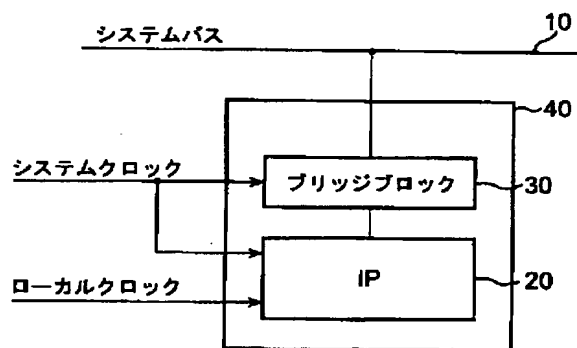
Fターム(参考) 5B077 AA01 FF11 HH02 MM02

(54) 【発明の名称】 機能ブロック

(57) 【要約】

【課題】 システムクロックをIP (機能ブロック) に取り込むことにより、複雑なブリッジブロックを開発するというIPの再利用者に加わる負荷を軽減する。

【解決手段】 本発明の機能回路及びその同期回路からなるIP 20は、IPを内蔵するLSIの開発やLSIの派生品開発において規格標準のIPを再利用する際、システムクロックが取り込まれた同期回路とIP機能回路とをIP 20として一体化することにより、システムクロックをIP 20に取り込み、再利用者が、システムバス10を駆動するシステムクロックのみを考慮した単純なブリッジブロック30を介して前記IP 20をLSIに搭載することを可能にし、IP取り扱い上の負荷を軽減してIPとしての再利用性を高めることが可能になる。



【特許請求の範囲】

【請求項 1】 ローカルクロックに同期する機能回路と、システムクロックに同期するシステムバス及び前記機能回路の間で信号の受け渡しを行う動作タイミングを定める同期回路とを備え、

前記同期回路は、前記システムクロック及び前記ローカルクロックを入力し、前記システムクロックからアクセス時間を確定することにより前記動作タイミングを定めることを特徴とする機能ブロック。

【請求項 2】 前記同期回路は、前記システムクロック及び前記ローカルクロックを入力し、前記システムクロックから前記機能回路のアクセス完了信号を生成することにより前記動作タイミングを定めることを特徴とする請求項 1 記載の機能ブロック。

【請求項 3】 前記アクセス完了信号は、前記システムクロックに同期して起動するカウンタと比較回路とを用いて前記カウンタの出力と周波数指定信号とを比較することにより生成されることを特徴とする請求項 2 記載の機能ブロック。

【請求項 4】 ローカルクロックに同期する機能回路と、システムクロックに同期するシステムバス及び前記機能回路の間で信号の受け渡しを行う動作タイミングを定める同期回路とを備え、かつ、前記機能回路及び前記同期回路を一体化することを特徴とする機能ブロック。

【請求項 5】 前記同期回路において、前記システムクロックの周波数を可変とすることを特徴とする請求項 1 乃至 4 のいずれか 1 つに記載の機能ブロック。

【請求項 6】 前記同期回路は、前記システムバスの種類によらずに前記システムバスと前記機能回路との間で信号の受け渡しを行う動作タイミングを定めることを特徴とする請求項 1 乃至 4 のいずれか 1 つに記載の機能ブロック。

【請求項 7】 前記システムクロックの周波数を可変とする手段は、前記同期回路に周波数指定信号を入力することによりなされることを特徴とする請求項 5 記載の機能ブロック。

【請求項 8】 前記システムクロックの周波数を付与することにより、レジスタトランスファレベルの設計データが自動的に生成されることを特徴とする請求項 1 乃至 7 のいずれか 1 つに記載の機能ブロック。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は I P (Intellectual Property: 知的資産) の設計に係り、特に L S I に内蔵される I P 機能回路を駆動するローカルクロックと、システムバスを駆動するシステムクロックからなる 2 系統の異なるクロックを用いて I P 機能回路とシステムバス

との間で信号の受け渡しを行う同期回路に関するものである。また、I P 機能回路と同期回路とを一体化し、I P (機能ブロック) として L S I の設計に使用するものである。

【0002】

【従来の技術】従来の I P の設計にはシステムバスに依存するものと依存しないものがある。図 6 を用いて従来の I P の設計について説明する。システムバスに依存する従来の I P の設計例を図 6 に示す。1 は I P の入出力信号を転送するシステムバスであり、システムクロックと同期して動作する。また、2 は設計の対象とする I P であって、システムクロックとローカルクロックに同期して動作する。

【0003】図 6 に示す従来の I P の設計では、I P 2 自身が特定のシステムバス 1 に依存して設計されるため、特定のシステムバス 1 を備える L S I の設計に I P 2 を再利用する際、システムクロックとローカルクロックの周波数の相違を気にすることなく I P 2 をそのまま使用することができる。

【0004】しかしながら I P ベンダーは、種々のシステムバスに応じた I P を個別に用意する必要があるため、I P ベンダーとしての効率が低下する。これを回避するため、従来図 7 に示すように、システムバスに依存しない I P の設計が用いられてきた。

【0005】図 7 において、I P 3 はローカルクロックのみに同期する回路になっておりシステムクロックとローカルクロックの相違を吸収するブリッジブロック 4 を介してシステムバス 1 に接続される。すなわち、I P 3 及びブリッジブロック 4 からなる回路 5 がシステムクロックと同期するシステムバス 1 に接続される。

【0006】ここでブリッジブロックとは、ローカルクロックと同期する I P のバス、及びシステムクロックと同期するシステムバスの中で信号の受け渡しを行う回路ブロックのことであり、ローカルクロックとシステムクロックにそれぞれ同期する回路が含まれる。

【0007】しかし、例えば図 8 の縦の破線と一点鎖線で示されるように、通常複数のクロックを有するローカルクロックの立ち上がり点は、種々の態様でシステムクロックと同期をとる必要があり、また、これらのローカルクロックのハイレベルやローレベルの持続時間等は、I P の機能に応じて種々の長さに定める必要があるので、ブリッジブロックの設計は複雑なものとなる。

【0008】ブリッジブロックは I P の再利用者により開発される。従って、従来一般に行われてきたブリッジブロックを用いた I P の設計では、ブリッジブロックがクロックの相違を吸収するため、I P の再利用者にはブリッジブロックを成す複雑な同期回路を開発するための大きな負荷が加わり、開発期間が長くなるという問題を生じていた。

【0009】

【発明が解決しようとする課題】上記したように、従来の IP の設計では、システムバスに依存する IP の設計を行えば、IP ベンダーは種々のシステムバスに個別に対応する IP を用意する必要があり、また、システムバスに依存しない IP の設計を行うためには、システムクロックとローカルクロックの相違を吸収する複雑なブリッジブロックを開発するという大きな負荷が IP の再利用者に加わるという問題があった。

【0010】本発明は上記の問題点を解決すべくなされたもので、システムクロックを IP 内に取り込むことにより、IP の再利用者に加わるブリッジブロックを開発する負荷を軽減することを目的とする。

【0011】

【課題を解決するための手段】本発明の IP（機能ブロック）は、IP を内蔵する LSI の開発や LSI の派生品開発において、規格準拠の IP を再利用する際、システムクロックが取り込まれた同期回路と IP 機能回路とを、IP として一体化することによりシステムクロックを IP 内に取り込み、システムクロックのみを考慮した単純なブリッジブロックを用いて再利用者が前記 IP を LSI に搭載することを可能にし、IP の再利用者に加わる IP 取り扱い上の負荷を軽減して、IP としての再利用性を高めることを特徴とする。

【0012】具体的には本発明の機能ブロックは、ローカルクロックに同期する機能回路と、システムクロックに同期するシステムバス及び前記機能回路の間で信号の受け渡しを行う動作タイミングを定める同期回路とを備え、前記同期回路は、前記システムクロック及び前記ローカルクロックを入力し、前記システムクロックからアクセス時間を確定することにより前記動作タイミングを定めることを特徴とする。

【0013】好ましくは前記同期回路は、前記システムクロック及び前記ローカルクロックを入力し、前記システムクロックから前記機能回路のアクセス完了信号を生成することにより前記動作タイミングを定めることを特徴とする。

【0014】また、好ましくは前記アクセス完了信号は、前記システムクロックに同期して起動するカウンタと、比較回路を用いて前記カウンタの出力と周波数指定信号とを比較することにより生成されることを特徴とする。

【0015】本発明の機能ブロックは、ローカルクロックに同期する機能回路と、システムクロックに同期するシステムバス及び前記機能回路の間で信号の受け渡しを行う動作タイミングを定める同期回路とを備え、かつ、前記機能回路及び前記同期回路を一体化することを特徴とする。

【0016】好ましくは前記同期回路において、前記システムクロックの周波数を可変とすることを特徴とする。また、前記同期回路は、前記システムバスの種類に

よらずに前記システムバスと前記機能回路との間で信号の受け渡しを行う動作タイミングを定めることを特徴とする。

【0017】また、好ましくは前記システムクロックの周波数を可変とする手段は、前記同期回路に周波数指定信号を入力することによりなされることを特徴とする。

【0018】また、本発明の機能ブロックにおいて、前記システムクロックの周波数を付与することにより、レジスタトランスファレベルの設計データが自動的に生成されることを特徴とする。

【0019】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。図 1 乃至図 4 は本発明の第 1 の実施の形態に係る IP 機能回路及びその同期回路を一体化した IP（機能ブロック）の設計を示す図である。本発明の実施の形態において、IP とは LSI が内蔵する特定機能を備えた機能ブロックの知的資産のことであり、LSI 及びその派生品の開発に際し、長い開発期間を要する機能ブロックの設計等に関する全ての資料が知的資産として引き継がれ、新製品の開発に再利用されるものである。

【0020】以下の実施の形態で述べる IP 機能回路及びその同期回路からなる IP を用いれば、IP としての機能ブロックを LSI 及びその派生品開発に再利用する際、IP の設計等に関して引き継がれた既知の知的資産の有効利用を図り、開発コストの削減に寄与することができる。

【0021】はじめに、図 1 を用いて第 1 の実施の形態に係る IP 設計の概要について説明する。図 1 に示す IP の設計において、システムクロックを取り込みローカルクロックで動作する IP（機能ブロック）20 が、システムクロックのみと同期するブリッジブロック 30 に接続され、IP 20 及びブリッジブロック 30 からなる回路 40 がシステムクロックと同期するシステムバス 10 に接続される。

【0022】図 1 に示す本発明の IP の設計では、IP 20 の内部でシステムクロックとローカルクロックの同期をとるので、従来のブリッジブロック 4（図 7 参照）と異なり、本発明のブリッジブロック 30 ではシステムクロックだけを考慮すればよいのでブリッジブロックの設計が容易になり、開発期間を短縮することができる。

【0023】次に図 2 を用いて第 1 の実施の形態に係る IP 20 の構成を説明する。図 2 に示す IP 20 はローカルクロックに同期する IP 機能回路 21 と、システムクロックを取り込みローカルクロックと同期する同期回路 22 から構成される。

【0024】IP 20 を設計する段階ではシステムクロックの周波数は未知である。そこでシステムクロックの周波数指定信号 A[n:0]（n は自然数）を用い

10

20

30

40

50

て、IP 20に内蔵される同期回路22にシステムクロックの情報（例えば所定のクロック数）を取り込み、周波数指定信号A[n:0]を介してIP 20のシステムクロックとローカルクロックとを整合させることにより、種々のシステムクロックの周波数に対応するIPの設計を行うことができる。

【0025】システムクロックの周波数指定信号A[n:0]は、IP 20を使用するLSIの外部ピン、又はLSIの内部プルアップ（内部電源電圧レベルへの接続）、プルダウン（接地レベルへの接続）、又はブリッジブロック30より与えられる。システムクロックの周波数指定信号A[n:0]がブリッジブロック30から与えられれば、システムクロックが可変であるシステムにも対応することが可能になる。

【0026】次に、図3、図4を用いてIP 20に含まれる同期回路22の動作について説明する。図3の最上段に、システムクロックのタイミング波形が示されている。また、図3の第2段乃至第4段に、例えばローカルクロックと同期するIP機能回路21がレジスタからなるものとして、レジスタアクセスのタイミング波形が示されている。ここで、システムクロックは、システムバス10に転送されるLSI全体の信号について同期をとるクロック信号であり、ローカルクロックはレジスタアクセスのクロック信号である。

【0027】例えば図3の2段目乃至4段目に示されるように、IP使用LSIから入力される読み出し／書き込み信号、及びチップセレクト信号は、ローカルクロックと同期してレジスタの読み出し／書き込み動作が行われ、この読み出し／書き込み動作の終了時点でアクセス完了信号がLSIに返される。これらの一連の動作がレジスタの読み出し書き込みサイクルを構成する。

【0028】例えば、図3に示すタイミング波形において、従来はブリッジブロック4においてシステムクロックとローカルクロックとの間で複雑な同期を取り、レジスタアクセスに必要なタイミング波形を生成する必要があった（図7、図8参照）。これに対して第1の実施の形態では、システムクロックと周波数指定信号A[n:0]とを用いてレジスタアクセスに必要なタイミング波形を生成することができる。

【0029】このような機能を備えるIP機能回路21とその同期回路22とが一体化されたIP 20の具体的な構成例を図4に示す。IP 20はタイミングカウンタ50と、比較回路60と、IPローカルクロック駆動部70から構成される。

【0030】図4に示すように、タイミングカウンタ50がチップセレクト信号により起動し、システムクロックのカウントが開始される。比較回路60を用いてタイミングカウンタ50の計数値と周波数指定信号A[n:0]とが比較され、その比較結果が一定の判定基準に達した時点でアクセス完了信号が送出される。

【0031】一方、チップセレクト信号はIPローカルクロック駆動部70を起動し、アドレスデータ信号等を用いて処理対象とするIP機能回路21（レジスタ）へのアクセスが行われ、ローカルクロックと同期してIP機能回路21のデータ入出力サイクル（レジスタの読み出し／書き込みサイクル）が実行される。

【0032】このようにすれば、外部から周波数指定信号A[n:0]を付与することにより、カウンタによるシステムクロックの計数値と、ローカルクロックで駆動されるIP機能回路21のデータ入出力サイクルの終了時点とを合わせ込むことによりアクセス完了信号を送出し、一連のIP機能回路21のデータ入出力サイクルを完了することができる。

【0033】IP設計時にはローカルクロックは既知であるから、そのクロックでキーとなる信号を取り込むタイミングもまた既知である。そこで図4に示す回路において、外部から周波数指定信号A[n:0]を付与し、システムクロックの計数値を基準にしてアクセス時間を確定する。例えばアクセス完了信号をLSIに返すタイミングを計ることにより、IP 20がチップセレクト信号の有効な時間を取り込めるように調整することが可能になる。

【0034】次に、図5を用いて第2の実施の形態に係る周波数指定信号A[n:0]の作用について説明する。第1の実施の形態では周波数指定信号A[n:0]を用いてシステムクロックをIP 20に取り込み、ローカルクロックで動作するIP機能回路21のタイミング波形を生成することについて説明した。

【0035】しかし、周波数指定信号A[n:0]の作用は、IP 20の設計に際し未知のシステムクロックと既知のローカルクロックとを整合させる場合にのみ有効なものではない、一般に2系統のクロックで動作するシステムにおいて、1系統のクロック周波数の変化に対して他の1系統のクロックのタイミングを整合させる場合にも有効である。

【0036】例えば、図5に示すように、周波数指定信号A[n:0]を000、001、010、011、100と変化し、これに応じてシステムクロックが20MHz、40MHz、60MHz、80MHz、100MHzと変化する場合にも、それぞれ対応する周波数指定信号A[n:0]を用いてローカルクロックのタイミングをシステムクロックに追従させることができる。

【0037】このようなIPを内蔵するLSIの動作は、LSIの動作モードとして、例えばシステムクロック周波数を低下させることにより低消費電力動作が可能で、低消費電力動作モードが含まれる場合に特に有効である。

【0038】また、周波数指定信号A[n:0]は、必ずしもシステムクロックの周波数ばかりでなく、例えばA[n:0]の中に、システムクロックを構成する矩形

波のハイレベルやロウレベルの比率等、システムクロックの形状の変化に関する情報を含ませることも容易である。

【0039】第1、第2の実施の形態で説明したように、IPを設計する際、未知な設計データはシステムクロックのみであるから、IPを再利用してLSIを開発する際、システムクロックを含むLSIの仕様と、知的資産として引き継がれたIPと周波数指定信号A[n:0]とが与えられれば、少なくともRTL(Register Transfer Level)におけるLSIの自動設計を実行することができる。

【0040】なお本発明は上記の実施の形態に限定されることはない。クロックを2系統取り込み1系統のクロックを可変とする同期化を行う回路、及びアクセス完了信号をシステムクロックに同期してIPから送出する回路等は、図4を用いて説明したもの以外の回路や方法を用いて実現することができる。その他本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【0041】

【発明の効果】上述したように、本発明のIPの設計によれば、IP内でシステムクロックとローカルクロックとの同期化を行い、システムバスとIPとの間で信号の授受を行うブリッジブロックの設計では、システムクロックだけを考慮するようにすれば、ブリッジブロックの設計が容易になり、IPを内蔵するLSI及びその派生品開発の際、IPとその周辺機能ブロックの再利用性を

高めることが可能になる。

【図面の簡単な説明】

【図1】第1の実施の形態に係るIP設計の概要を示す図。

【図2】第1の実施の形態に係るIPの構成を示す図。

【図3】システムクロックとレジスタアクセスのタイミング波形とを示す図。

【図4】IPの具体的構成例を示す図。

【図5】第2の実施の形態に係る周波数指定信号の作用を示す図。

【図6】従来のIPの設計を示す図。

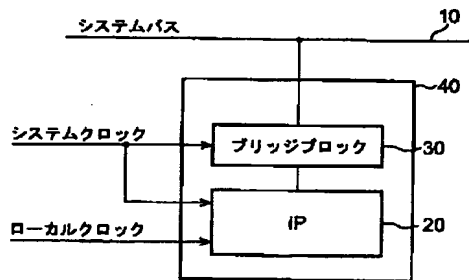
【図7】従来のシステムバスに依存しないIPの設計を示す図。

【図8】システムクロックとローカルクロックの関係を示す図。

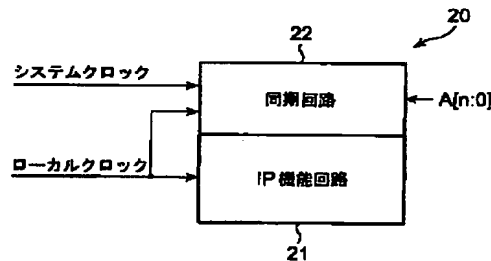
【符号の説明】

- 1、10…システムバス
- 2、3、20…IP
- 4、30…ブリッジブロック
- 5…IP及びブリッジブロックからなる回路
- 21…IP機能回路
- 22…同期回路
- 40…IP及びブリッジブロックからなる回路
- 50…タイミングカウンタ
- 60…比較回路
- 70…IPローカルクロック駆動部

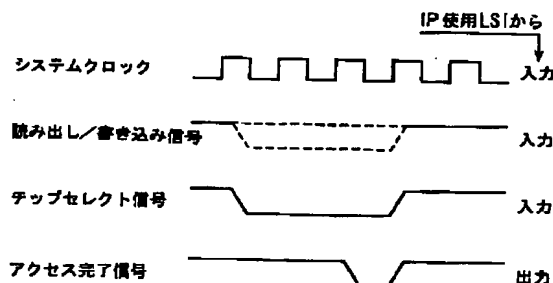
【図1】



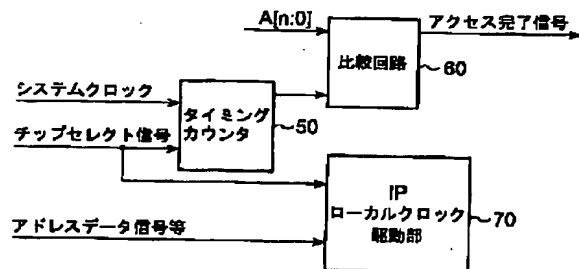
【図2】



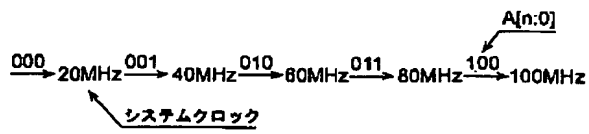
【図3】



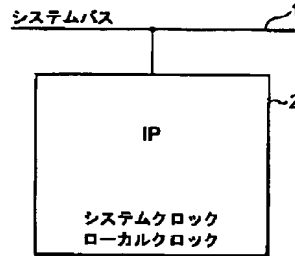
【図4】



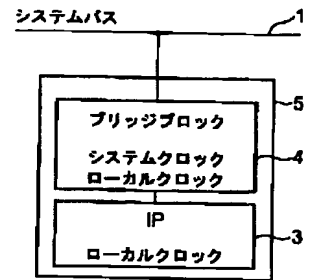
【図 5】



【図 6】



【図 7】



【図 8】

